

- (19) Japan Patent Office (JP)
(12) Official Gazette for Patent Publications (A)
(11) Unexamined Patent Application Publication Disclosure No: Sho 61-71649

(43) Disclosure Date: April 12, 1986

(51) Int. Cl.⁴ Identification No. Intra-office Filing No.
H 01 L 23/30 7738-5F

Examination Request: Not yet requested
Number of inventions: 1
(Total of 3 pages)

(54) Title of invention: IC package

(21) Patent Application No.: Sho 59-194309

(22) Date of Application: September 17, 1984

(72) Inventor: Masanori Aida
At Seiko Electronic Industries Co., Ltd.
6-31-1 Kamedo, Koto-ku, Tokyo

(71) Applicant: Seiko Electronic Industries Co., Ltd.
6-31-1 Kamedo, Koto-ku, Tokyo

(74) Agent: Tsutomu Mogami, Attorney

Specification

1. Title of the invention: IC package

2. Claims

An IC package comprising a lead frame electrically connected with pads on an IC chip through metal bumps, a flexible substrate connected with said lead frame, a silicone resin coating the periphery of the aforementioned IC chip, and a mold resin coating the aforementioned silicone resin.

3. Detailed description of the invention

[Field of industrial utilization]

This invention is related to an IC package, which has a structure that does not

distort the IC chip when sealing the IC chip.

[Prior art]

A cross-sectional structural diagram of a conventional IC package is indicated in Fig. 2. An IC chip 1 is affixed to a lead frame 6 by a die-attach material 8. Further, the pad on the semiconductor substrate and the lead frame are electrically connected by metal wires 7, and mold material 5 is formed to block out the external atmosphere from all these parts.

[Problems to be solved by the invention]

However, this kind of conventional package produces the following problems when packaging a semiconductor substrate using a piezoelectric substance such as silicon substrate. First, the IC chip is distorted through the die-attach material 8 because of the difference in thermal expansion indices of the lead frame 2 and of the IC chip 1. Second, when sealing the IC chip 1 with the mold material 5, the front and sides of the IC chip become distorted because of the difference in thermal expansion indices of the mold material 5 and of the IC chip 1. If a magnetic conversion element such as a Hall element is integrated on the IC chip, Hall voltage may be detected by the magnetic field between output terminals of the Hall element, but an offset voltage is produced between the Hall voltage output terminals because of the previously described distortion of the IC chip by the package, and the characteristics change compared to what they were in the chip state. Indicated in Fig. 3 is one example of the fluctuations of Hall IC magnetic offset temperature characteristics when using phosphor bronze for the lead frame 6, a silver paste for die-attach material 8, and sealing the silicon chip with an epoxy resin. As can be seen in Fig 3, fluctuations of 200 gauss are produced between -40° C and +70° C. A magnetic offset within 200 to 250 gauss is required for Hall ICs, and the broad fluctuations of magnetic offset caused by the distortion described above must be eliminated.

Thus, this invention offers an IC package that eliminates the defects of conventional packages, specifically, the fluctuations of the characteristics of, for example, a Hall IC caused by distortion received from packaging are eliminated, and the distortion of the IC chip when packaging the chip is eliminated.

[Means to resolve the problems]

In order to resolve the aforementioned problems, this invention is configured by installing the IC chip on the flexible substrate through leads, coating the IC chip with silicone resin, and coating around this with a molded resin, thereby reducing stress on the Hall IC.

[Action]

When using an IC package configured as above, if the temperature fluctuates, the stress on the IC chip caused by the thermal expansion of the mold resin can be kept minimal because the silicone resin around the IC chip is not very hard, and thus the fluctuations of magnetic offset can be minimized. Moreover, the effect of stress from the flexible substrate is minimized because the IC chip only makes contact with the pads through the leads of the flexible substrate, and fluctuations of the magnetic offset can be minimized.

[Embodiments]

An embodiment of this invention will be explained in detail below using diagrams.

In Fig. 1 the lead frame 3 is electrically conductive and is affixed to the flexible substrate 2 by bump bonding, etc. The IC chip is joined to the tips of the aforementioned lead frames 2. The area around this Hall IC 1 is coated with a silicone resin 4, and a mold material 5 coats the IC chip coated with this silicone resin 4. When the IC chip is attached to the flexible substrate 2 in this way and is coated with the silicone resin 4, the magnetic offset can be minimized because stress on the IC chip can be relieved. The temperature characteristics of the magnetic offset of this embodiment are indicated in Fig. 4.

In this case, the IC chip was not distorted at all by the mold [resin], and the magnetic offset characteristics between -40°C and $+80^{\circ}\text{C}$ reflected only the temperature characteristics of the IC chip itself.

[Effects of the invention]

As explained above, this invention keeps the stress of the packaging on the IC chip to a minimum, and has the effect of greatly reducing the packaging distortion of a Hall element using a piezoelectric substance such as silicon as well as the effect of reducing the magnetic offset temperature characteristics.

4. Brief description of the diagrams

Fig. 1 is a cross-sectional diagram of a Hall IC package related to this invention. Fig. 2 is cross-sectional diagram of a conventional Hall IC package. Fig. 3 is a temperature characteristics chart of the magnetic offset of a conventional Hall IC package. Fig. 4 is a temperature characteristics chart of the magnetic offset of a Hall IC package of this invention.

- 1 IC chip
- 2 Flexible substrate
- 3 Lead
- 4 Silicone resin
- 5 Mold resin
- 6 Lead frame

7 Wire

The end

Applicant: Seiko Electronic Industries Co., Ltd.
Representative, Tsutomu Mogami, Attorney

Figure 1

- 1 IC chip
- 2 Flexible substrate
- 3 Lead
- 4 Silicone resin
- 5 Mold resin

Figure 2

- 6 Lead frame
- 7 Wire
- 8 die-attach material

Figure 3

Magnetic offset

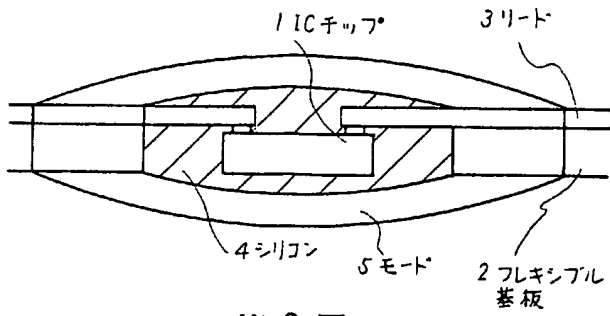
Temperature

Figure 4

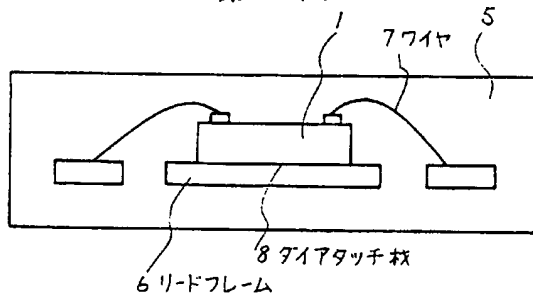
Magnetic offset

Temperature

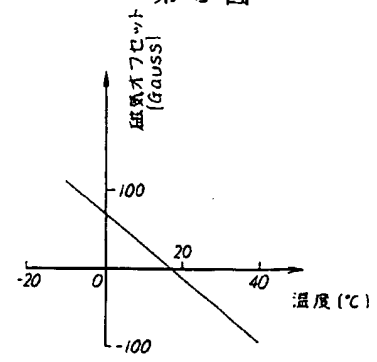
第1図



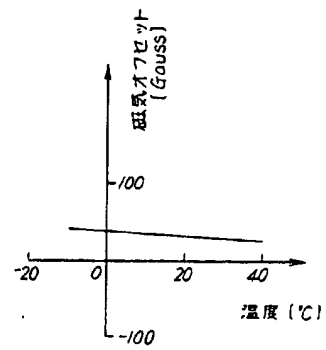
第2図



第3図



第4図



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-71649

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)4月12日

H 01 L 23/30

7738-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 ICパッケージ

⑯ 特 願 昭59-194309

⑰ 出 願 昭59(1984)9月17日

⑱ 発 明 者 合 田 雅 宜 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑳ 代 理 人 弁理士 最 上 務

明 細 書

1. 発明の名称 ICパッケージ

2. 特許請求の範囲

ICチップ上のパッドと金属バンプを介して電気的に接続されたリードフレームと、該リードフレームと接続されたフレキシブル基板と、前記ICチップの周面を被覆するシリコン樹脂と、前記シリコン樹脂を被覆する樹脂モールドとから成るICパッケージ。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、ICチップを封止する際、ICチップに歪を与えない構造のICパッケージに関するものである。

〔従来の技術〕

従来のICパッケージの断面構造図を第2図に示す。ICチップ1はダイアタッチ材8により、

リードフレーム6に接続されている。さらに半導体基板上的パッドとリードフレームとは金属ワイヤ7により電気的に接続されており、これら全体を外気から遮断するモールド材5とから構成されている。

〔発明が解決しようとする問題点〕

しかし、このような従来のパッケージではシリコン基板のような圧電物質を用いた半導体基板を実装する場合、次のような不具合を生じる。第1にリードフレーム2とICチップ1との熱膨張係数の差からダイアタッチ材8を介してICチップに歪を与える。第2にICチップ1をモールド材5により封止すると、モールド材5とICチップ1の熱膨張係数の差によりICチップは表面及び側面から歪をうける。ICチップ上にホール素子のような磁気変換素子を集積化する場合ホール素子の出力端子間に磁場によるホール電圧を検出するのであるが、前述のパッケージからICチップが受ける歪のために圧電効果によりホール電圧出力端子間にオフセット電圧を生じ、チップ状

特開昭61- 71649(2)

速から比較して特性を変えてしまう。一例としてリードフレーム6にリン青銅を用いダイアタック材8に銀ペーストを用い、シリコンチップをエポキシ樹脂で封止した場合のホールI/Oの磁気オフセットの温度特性の変動を第3図に示す。第3図からわかるように-40℃から+70℃の間で200ガウスもの変動を生じる。ホールI/Oの要求特性としては磁気オフセットは200~250ガウス以内でなければならず、上述のような変による大なる磁気オフセット変動は除去しなければならない。

そこで、この発明はホールI/Oのようにパッケージから受ける歪により特性が変動してしまう、I/Oチップの実装においてI/Oチップに歪を与えてしまうという従来の欠点を除去したI/Oパッケージを提供するものである。

〔問題点を解決するための手段〕

上記問題点を解決するために、この発明はI/Oチップをフレキシブル基板にリードを介して取り付けI/Oチップをシリコン樹脂で被覆し、さら

のシリコン樹脂4で被覆れたI/Oチップをモールド材5で被覆している。このようにI/Oチップをフレキシブル基板2に付け、シリコン樹脂4で被覆した場合はI/Oチップに対する応力を解放できるので磁気オフセットを小さくできる。この場合の磁気オフセットの温度特性を第4図に示す。

この場合、I/Oチップは全くモールドに歪を受けず、-40℃から+80℃の間の磁気オフセット変動はI/Oチップ固有の温度特性を持つだけとなる。

〔発明の効果〕

この発明は以上説明したようにI/Oチップのパッケージングによる応力を小さく抑えるものであり、シリコンのよう圧電物質を用いたホール素子の実装ひずみ及び磁気オフセットの温度特性の低減に大きな効果がある。

4. 図面の簡単な説明

第1図は、この発明に係るホールI/Oパッケージの断面図、第2図は従来のホールI/Oパッケージ

にそのまわりをモールド樹脂で被覆した構成とし、ホールI/Oに対する応力を低減した。

〔作用〕

上記のように構成されたI/Oパッケージを用いると、温度が変動する場合、I/Oチップのまわりのシリコン樹脂の硬度が小さいため、モールド樹脂の熱膨張によるI/Oチップへの応力を小さくでき、磁気オフセットの変動を小さくできる。または、I/Oチップがフレキシブル基板のリードを介してパッドのみで接合しているため、フレキシブル基板からの応力の影響を小さくでき、磁気オフセットの変動を小さくできる。

〔実施例〕

以下にこの発明の実施例を図面にもとづいて詳細に説明する。

第1図においりリードフレーム3はフレキシブル基板2にバンプ接合などにより、電気的に導通且つ固着されている。I/Oチップは前記リードフレーム2の先端に接合されている。このホールI/O1のまわりをシリコン樹脂4で被覆し、そ

の断面図、第3図は従来のホールI/Oパッケージの磁気オフセットの温度特性図、第4図は本発明のホールI/Oパッケージの磁気オフセットの温度特性図である。

- 1.....I/Oチップ
- 2.....フレキシブル基板
- 3.....リード
- 4.....シリコン樹脂
- 5.....モールド樹脂
- 6.....リードフレーム
- 7.....ワイヤ

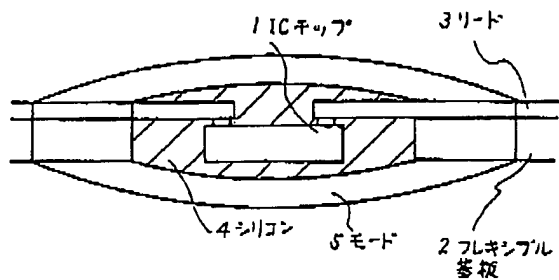
以 上

出願人 セイコー電子工業株式会社

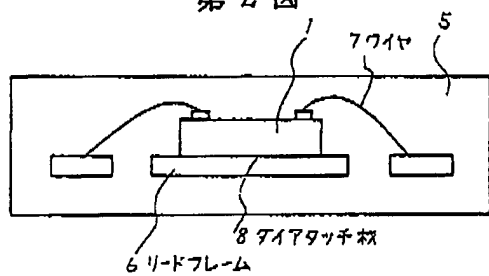
代理人 弁理士 最 上 務

特開昭61- 71649(9)

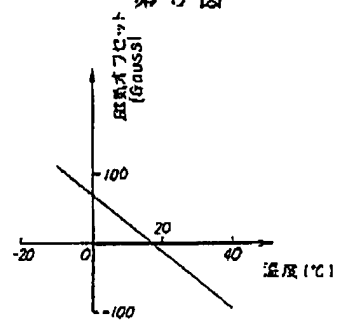
第1図



第2図



第3図



第4図

